



## KOREAN PATENT ABSTRACTS

(11)Publication number: 1020010095927 A

(43)Date of publication of application: 07.11.2001

(21)Application number: 1020000019408

(22)Date of filing: 12.04.2000

(30)Priority: ..

(51)Int. Cl. H03F 3/217

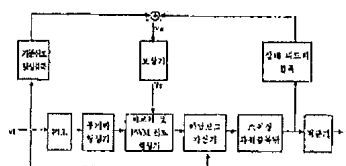
(71)Applicant: PULSUS TECHNOLOGY

(72)Inventor: AHN, SEONG TAK  
OH, JONG HUN

## (54) ERROR CORRECTION METHOD FOR EFFECTIVE SWITCHING POWER AMPLIFICATION OF PULSE MODULATION SIGNAL

## (57) Abstract:

**PURPOSE:** An error correction method for an effective switching power amplification of a pulse modulation signal is provided, which can solve a nonlinearity problem of a switching power amplification stage as using an output of the switching power amplification stage as a feedback signal and a pulse modulation signal as a reference signal. **CONSTITUTION:** According to the method, an error signal where using a pulse modulation signal as a reference signal and an output signal of a switching power amplification stage as a feedback signal is inputted to a compensator to generate a control signal. And another compensation pulse modulation signal having a required correction width and sign determined from the control signal is added with the pulse modulation signal and then is used as an input signal of the switching power amplification stage. The



compensation pulse modulation signal is determined by comparing a periodic wave maintaining a constant linearity by centering a reference edge of the input pulse modulation signal with a value of the control signal. A width of the compensation pulse modulation signal is proportional to an absolute value of the amplitude of the control signal, and a sign of the compensation pulse modulation signal is determined by a sign of the control signal.

added with the pulse modulation signal and then is used as an input signal of the switching power amplification stage. The compensation pulse modulation signal is determined by comparing a periodic wave maintaining a constant linearity by centering a reference edge of the input pulse modulation signal with a value of the control signal. A width of the compensation pulse modulation signal is proportional to an absolute value of the amplitude of the control signal, and a sign of the compensation pulse modulation signal is determined by a sign of the control signal.

copyright KIPO 2002

## Legal Status

Date of request for an examination (20050328)

Notification date of refusal decision (00000000)

Final disposal of an application (rejection)

Date of final disposal of an application (20070108)

Patent registration number ( )

Date of registration (00000000)

Number of opposition against the grant of a patent ( )

Date of opposition against the grant of a patent (00000000)

Number of trial against decision to refuse ( )

Date of requesting trial against decision to refuse ( )

(19) 대한민국특허청 (KR)  
(12) 공개특허공보 (A)

(51) 。 Int. Cl. <sup>7</sup>  
H03F 3/217

(11) 공개번호 특2001 - 0095927  
(43) 공개일자 2001년11월07일

(21) 출원번호 10 - 2000 - 0019408  
(22) 출원일자 2000년04월12일

(71) 출원인 (주)펄서스 테크놀로지  
오중훈  
경북 포항시 남구 효자동 산31 포항공과대학교 창업보육센터내

(72) 발명자 오중훈  
경상북도포항시남구지곡동756교수아파트8 - 1001  
안성탁  
서울시영등포구양평2가38 - 1양평삼성아파트103 - 1301

심사청구 : 없음

(54) 펄스변조 신호의 효과적인 스위칭 파워 증폭을 위한 에러보정 방법

요약

본 발명은 디지털 신호를 스위칭 파워 증폭하여 아날로그 파워로 변환하는데 있어서 나타나는 비선형성을 효과적으로 보정하는 제어 방법에 관한 것이다. 본 발명은 스위칭 파워 증폭단의 출력신호를 피드백 신호로 하고 입력 펄스변조신호를 기준신호로 하여 계산된 컨트롤 신호를 기준으로 하여 필요한 보상 폭과 부호를 갖는 별개의 보상 펄스변조신호를 발생시키고 이를 입력 펄스변조신호에 더하여 결과적으로 입력 펄스변조신호의 기준 에지를 중심으로 입력 펄스변조신호의 폭을 가감하여 스위칭 파워 증폭시 발생하는 에러를 제어하는 것이다. 본 발명은 제어 시스템의 구현을 용이하게 하고, 스위칭 파워 증폭단에 관한 다양한 에러를 효과적으로 제거할 수 있다. 또한 본 발명은 옵셋 지연이 없고, 아주 좁은 폭을 가진 입력 펄스에도 제한 없이 적용할 수 있으며, 보정 가능한 범위가 최대 입력 신호 주기의 반까지도 가능하다.

대표도  
도 2

색인어  
스위칭파워증폭, 펄스변조신호, 펄스폭, PWM, 비선형성,

명세서

## 도면의 간단한 설명

도 1은 디지털 신호를 스위칭 파워 증폭하는 방법을 개략적으로 도시한다.

도 2는 본 발명을 구현한 제어 시스템의 구성을 도시한다.

도 3은 본 발명의 실시예로서 입력 신호가 상승 에지를 기준으로 한 PWM 신호인 경우의 에러 보정 방법을 도시한다.

도 4는 도 3에 나타난 톱니파 이외에 가능한 주기파를 도시한다.

도 5는 피드백 보상과 적정한 보상기를 사용한 실시예를 도시한다.

## 발명의 상세한 설명

### 발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 디지털 신호를 스위칭 파워 증폭하여 아날로그 파워로 변환하는데 있어서 나타나는 에러를 효과적으로 보정하는 제어 방법에 관한 것이다.

도 1에서 보는 바와 같이 스위칭 파워 증폭을 통해 디지털 신호를 직접 증폭하면, 효율이 90% 이상으로 매우 높아서 동전 크기의 100 W 앰프와 같이 크기가 작고 저렴한 파워 시스템을 제작할 수 있어, 종래의 아날로그 증폭보다 매우 우수한 오디오 스펙을 얻을 수 있다. 이런 이유로 스위칭 파워 증폭은 디지털 신호를 아날로그 파워로 변환하는 분야이면 어디든지 사용될 수 있는데, 예를 들면 가정용 HiFi 앰프, 가정 극장용 다채널 앰프, HDTV, DVD 플레이어, 이동 통신 단말기용 초소형 앰프, 및 컴퓨터 내장용 앰프 등 응용범위가 매우 넓다. 그러나 스위칭 파워단의 비선형성 문제로 널리 사용되는데 장애가 되어 왔다. 즉, 펄스의 온-오프시의 지연과 블랭킹 지연에 의해서 펄스 폭과 타이밍이 왜곡되고, 파워스위치 임피던스의 가변에 의해 펄스 진폭 에러를 발생한다.

종래에도 상기한 비선형 문제를 해결하기 위한 다양한 제어 방법이 제안되었다. 미국 특허 제US4724396과 제US5521549에도 피드백 제어를 통한 해결방안이 제시되어 있으나, 기준신호를 아날로그 신호로 함으로써 디지털 신호를 아날로그 신호로 변환하기 위한 별도의 D/A 변환기가 필요하였다. 국제특허출원 공개번호 제WO92/11699와 제WO97/37433에서는 디지털 신호를 이용한 제어방법이 제시되어 있으나, 피드백 경로에 A/D 변환기가 필요함으로 통상적인 제어 방법으로 구현하기가 힘들다는 단점이 있다. 유럽특허출원 제EP758164에서는 증폭단의 출력을 피드백하여 펄스폭 변조 입력에 더하여 스위칭 파워단을 구동시키는데 사용하고 있으나, 보상효과가 제한되어 있고 모든 에러들에 대해 개선된 성능을 보여주지 못한다. 한편 국제특허출원 공개번호 제WO98/44626에는 스위칭 파워 증폭단의 출력과 입력 PWM을 비교하여 얻어진 에러값을 기초로 각 펄스 에지를 연속적으로 지연시켜서 에러를 보정하는 방법이 개시되어 있다. 그러나 이 방법은  $(t_0/2)$ 의 옵셋 지연이 있고 최대 펄스 보정 범위가  $t_0$ 로 제한되며 입력 펄스의 폭이  $t_0$  이하인 경우는 정밀한 제어가 되지 못한다. 또한 스위칭 주파수가 제어 시스템의 이득과 안정성에 영향을 주어 특정 주파수 부분에서 발진하는 제어 신호가 발생할 수 있는 문제점이 있다.

### 발명이 이루고자 하는 기술적 과제

본 발명은 스위칭 파워 증폭단의 출력을 피드백 신호로 하고 펄스변조신호를 기준 신호로 하면서 종래의 방법과 다른 방식으로 스위칭 파워 증폭단의 비선형문제를 해결할 수 있는 효과적인 제어 방법을 제공한다.

본 발명은 옵셋 지연이 없고, 아주 좁은 폭을 가진 입력 펄스에도 제한 없이 적용할 수 있으며, 보정 범위가 최대 입력 신호 주기의 반까지 가능한 제어 방법을 제공한다.

본 발명으로 구현한 에러 보정 시스템이 도시된 도 2를 참조하면서 본 발명을 설명하기로 한다. 본 발명은 입력신호인 펄스변조신호를 기준 신호로 하고 스위칭 파워 증폭단의 출력 신호를 피드백 신호로한 에러 신호가 보상기를 거쳐 컨트롤신호가 발생하고, 상기 컨트롤신호로부터 정해지는 필요한 보정 폭과 부호를 갖는 별개의 보상 펄스변조신호에 상기 입력 펄스변조신호를 더하여 스위칭 파워 증폭단의 입력신호로 하는 스위칭 파워 증폭시 발생하는 에러를 보정하는 방법이다. 상기 보상 펄스변조신호는 상기 입력 펄스변조신호의 기준 에지를 중심으로 일정한 선형성을 유지하는 주기파와 상기 컨트롤 신호의 값을 비교하여 결정되는데, 상기 보상 펄스변조신호의 폭은 상기 컨트롤 신호의 크기의 절대값에 비례하고, 상기 보상 펄스변조신호의 부호는 상기 컨트롤 신호의 부호에 의해 정해진다. 상기 입력 펄스변조신호는 결과적으로 기준 에지를 중심으로 상기 보상 펄스변조신호에 의해 가감되어지는 것이다. 상기 펄스변조 신호는 스위칭 파워증폭을 통해 아날로그파워로 전환되는 신호이면 특정 변조 방식에 국한되지 않고 사용될 수 있다. 그 예로 PCM 신호, 펄스폭변조(PWM) 신호, 펄스밀도변조(PDM) 신호, 펄스위치변조(PPM) 신호 등이 있는데, 바람직하게는 펄스폭 변조 신호이다. 상기 주기파는 바람직하게는 톱니파이다. 본 발명은 다음과 같은 구성 요소에 의해서 구현될 수 있다. 입력단과 연결된 위상고정루프(phase lock loop) 블록 및 상기 위상 고정루프 블록과 연결된 주기파 형성블록; 출력단과 연결되고 보상을 갖는 상태 피드백 블록과, 상기 입력단과 연결되고 일정한 보상을 갖는 기준 신호 형성 블록, 및 상기 상태 피드백 블록과 상기 기준 신호 형성 블록에 연결된 감산기 및 보상기 블록; 상기 주기파 형성 블록과 상기 보상기 블록에 연결된 비교기 및 보상 펄스변조신호 형성 블록; 및 상기 입력단과 상기 보상 펄스변조신호 형성 블록에 연결되는 아날로그 가산기를 통해 본 발명을 구현할 수 있다.

PCM과 같은 디지털 신호를 아날로그 파워로 변환하려면 먼저 PCM을 펄스 변조기를 통해 변환한 후 스위칭 파워 증폭기를 통해서 펄스의 크기를 높이고 적분기를 통해서 아날로그 파워로 변환한다. 출력단에 나타나는 에러를 보정하기 위해서는 스위칭 파워 증폭단의 출력을 피드백 신호로 하고 입력되는 펄스변조 신호를 기준신호로 하여 피드백 회로를 구성하는 것이 효과적이다. 종래에는 에러 보정 유닛이 에러 신호와 입력신호인 펄스변조신호를 받아서 보정된 폭을 갖는 하나의 펄스변조신호를 발생시켜 스위칭 파워증폭단의 입력으로 사용한 경우가 있으나, 본 발명에서는 컨트롤 신호를 기준으로 필요한 보정 폭과 부호를 가진 별개의 펄스변조신호를 발생시키고, 이를 입력 펄스변조신호에 더하여 파워 스위칭 단의 입력으로 사용하는 것을 특징으로 한다.

이하 펄스폭변조 신호(이하 PWM 신호)를 중심으로 본 발명을 설명한다. PWM 신호는 PCM 신호로부터 상승 에지나 하강 에지를 기준으로 변조될 수 있는데, 먼저 본 발명에서는 어느 경우든지 기준 에지를 중심으로 일정한 선형성을 유지하는 주기파를 형성한다. 여기서 일정한 선형성을 유지한다는 것은 톱니파와 같이 매 주기마다 기준 에지 부근에서 일정한 기울기를 갖는 것을 의미한다. 주기파는 톱니파에 한정되지 않고 기준 에지와 보정 제한 범위 사이에서 선형성만 유지된다면 그 형태는 제한하지 않는다. 주기파는 위상고정루프(phase lock loop)를 사용하여 입력 PWM 신호( $V_i$ )에 동기된다. 한편 에러 신호값( $V_e$ )은 간단하게는 입력신호에서 스위칭 파워 출력을 일정하게 줄인 값을 감산하여 구할 수 있는데, 1차 또는 2차 보상기로 피드백 블록을 구성하고, 기준 신호 형성 블록으로서 일정한 차수의 보상기를 사용하여 에러 신호 값을 정할 수도 있다. 에러 신호값은 다시 상기 주기파와 비교하기 위해서 다시 컨트롤신호( $V_c$ ) 형성 블록을 거친다. 필요한 보상폭은 에러신호값과 주기파가 일치하는 점과 기준 에지 사이의 거리이고 에러 신호값에 비례하게 된다. 또한, 상기 보상폭을 갖는 보상 PWM 신호는 에러 신호값에 따라 부호가 결정되는데, 음의 부호를 갖는 PWM 신호는 양의 부호를 갖는 신호와 그 위상이  $180^\circ$  차이가 난다. 이러한 신호의 폭과 부호에 대한 정보를 바탕으로 보상 PWM 신호를 생성한다. 양의 부호를 갖는 보상 PWM 신호는 기준 에지를 중심으로 입력 PWM 신호의 바깥쪽에 더해져서 스위칭 파워 증폭단으로 들어가는 신호의 폭을 넓히게 되고, 음의 부호를 갖는 보상 PWM 신호는 기준 에지를 중심으로 입력 PWM 신호의 안쪽으로 더해져서 결국 스위칭 파워 증폭단으로 들어가는 신호의 폭이 좁아지게 된다.

이하 구체적인 실시예를 통해 본 발명을 더욱 상세히 설명한다. 도 3은 입력 PWM 신호가 상승 에지를 기준으로 한 경우의 에러 보정 방법을 예시하고 있다. (a)는 입력 PWM 신호이고, (b)는 주기적인 톱니파와 컨트럴 신호( $V_c$ )를 비교한 것으로서 각각 양의 값을 가진 컨트럴 신호, 제로값을 갖는 컨트럴 신호, 및 음의 값을 가진 컨트럴 신호와 톱니파를 비교한 것이다. (c-1), (d-1) 및 (e-1)은 컨트럴 신호가 각각 양, 제로, 음값을 갖는 경우 형성된 보상 PWM 신호이고, (c-2), (d-2) 및 (e-2)는 컨트럴 신호가 각각 양, 제로, 음값을 갖는 경우, 입력 PWM 신호와 보상 PWM 신호를 더하여 나온 보정된 PWM 신호로서 스위칭 파워단의 입력이 된다. (c-2)에서는 폭이 길어진 PWM 신호가 발생되고, (d-2)에서는 컨트럴 신호가 제로값을 가지므로 입력 PWM 신호와 같은 신호가 나오고, (e-2)에서는 폭이 줄어든 PWM 신호가 발생된다. 보상 PWM 신호의 폭은 컨트럴 신호에 비례하는데 그 비율은 에러 신호로부터 컨트럴 신호를 형성하는 보상기의 전달함수의 계수 또는 주기파의 기울기에 의해서 조절될 수 있다. 그리고, 입력 PWM 신호의 기준 에지가 하강 에지인 경우에는 주기파의 기울기를 반대로 하면 된다. 도 3의 경우는 보정 범위를 입력 PWM 신호 주기의 반까지 조절할 수 있어 보정 범위가 상당히 넓다. 만일 에러 보정 범위를 어느 정도 줄여도 된다면, 기준 에지 부근에서 선형성을 유지하면 되므로 도 4와 같은 삼각파, 사다리꼴형태의 주기파, 그리고 제한된 범위에서 선형성을 가지고 있는 정현파 등 다양한 형태의 주기파를 고려할 수 있다.

컨트럴 신호 형성 블록의 보상은 시스템의 성능을 최적화 하는데 충분한 융통성을 제공하기 위하여 3차 전달함수,  $(\tau_z s + 1)/(\tau_{p1} + 1)(\tau_{p2} + 1)(\tau_{p3} + 1)$ 를 사용할 수 있다.

피드백 보상은  $1/G$ 이고, 기준 신호로 입력 신호를 사용(보상이 단위값인 경우)할 수도 있고, 피드백 보상과 기준 신호 형성 보상을 모두 1차 또는 2차 전달함수로 할 수 있다. 후자의 경우로 하면 제어 시스템내의 잡음을 최소화할 수 있다.

도 5는 피드백 보상은  $1/G$ 이고, 기준 신호로 입력 신호를 사용하고 적정한 보상기를 도입한 실시예를 도시한다. 컨트럴 신호 형성기의 전달함수는 DC 이득,  $K_c$ 를 곱한 3차이고, 피드백 신호의 보상기의 전달함수는  $1/G$ 이며, 스위칭 파워 증폭단의 전달함수는  $G_p$ 이다. 주기파의 기울기가  $a$ 이고, 입력 신호의 주기가  $T_s$ 이며, 보상 PWM 신호의 평균값을  $V_{c,om,mean}$ 이라 하였을 경우, 보상 PWM 신호 형성기의 전달함수는 다음과 같다. 즉, 보상 펄스폭은  $|V_c/a|$ 이고  $T_s$  주기동안 평균은  $(V_c/a)/T_s$ 이므로 전달함수는  $1/aT_s$ 이다. 본 발명에서 스위칭 파워 증폭단에 입력이 두 개라는 점을 고려하고, 루프 전달함수  $L(s)$ 를 이용하여 전체 전달함수  $H(s)$ 를 구하면 다음과 같다.

$$L(s) = (K_c G_p / G * a * T_s) * (\tau_z s + 1) / \{(\tau_{p1} + 1)(\tau_{p2} + 1)(\tau_{p3} + 1)\}$$

$$H(s) = L(s) * G / \{1 + L(s)\} + G_p / \{1 + L(s)\}$$

$$= \{G_p + L(s) * G\} / \{1 + L(s)\}$$

상기 전체 전달함수는 적절한 시정수를 선택함에 따라  $G$  또는  $G_p$ 로 단순화 될 수 있다.

## 발명의 효과

본 발명은 스위칭 파워 증폭단의 출력을 피드백 신호로 하고 펄스변조신호를 기준 신호로 하는 효과적인 제어 시스템의 구현을 용이하게 한다. 본 발명으로 스위칭 파워 증폭단에 관한 다양한 에러를 제거할 수 있다. 본 발명은 읍셋 지연이 없고, 아주 좁은 폭을 가진 입력 펄스에도 제한 없이 적용할 수 있으며, 보정가능한 범위가 최대 입력 신호 주기의 반까지도 가능하다.

## (57) 청구의 범위

### 청구항 1.

입력 신호인 펄스변조신호를 기준 신호로 하고 스위칭 파워 증폭단의 출력신호를 피드백 신호로 한 에러 신호가 보상기를 거쳐 컨트럴신호가 발생하고, 상기 컨트럴신호로부터 정해지는 필요한 보정 폭과 부호를 갖는 별개의 보상 펄스변조신호에 상기 입력 신호인 펄스변조신호를 더하여 스위칭 파워 증폭단의 입력신호로 하는 스위칭 파워 증폭시 발생하는 에러 보정 방법.

## 청구항 2.

제1항에 있어서,

상기 보상 펄스변조신호는 상기 입력 펄스변조신호의 기준 에지를 중심으로 일정한 선형성을 유지하는 주기파와 상기 컨트롤 신호의 값을 비교하여 결정되는데, 상기 보상 펄스변조신호의 폭은 상기 컨트롤 신호의 크기의 절대값에 비례하고, 상기 보상 펄스변조신호의 부호는 상기 컨트롤 신호의 부호에 의해 정해지는 에러 보정 방법.

## 청구항 3.

제2항에 있어서,

상기 입력 펄스변조신호가 기준 에지를 중심으로 상기 보상 펄스변조신호에 의해 결과적으로 가감되어지는 에러 보정 방법.

## 청구항 4.

제1항 내지 제3항에 있어서,

상기 펄스변조신호가 펄스폭변조(PWM) 신호인 에러 보정 방법.

## 청구항 5.

제2항 내지 제3항에 있어서,

상기 주기파가 톱니파인 에러 보정 방법.

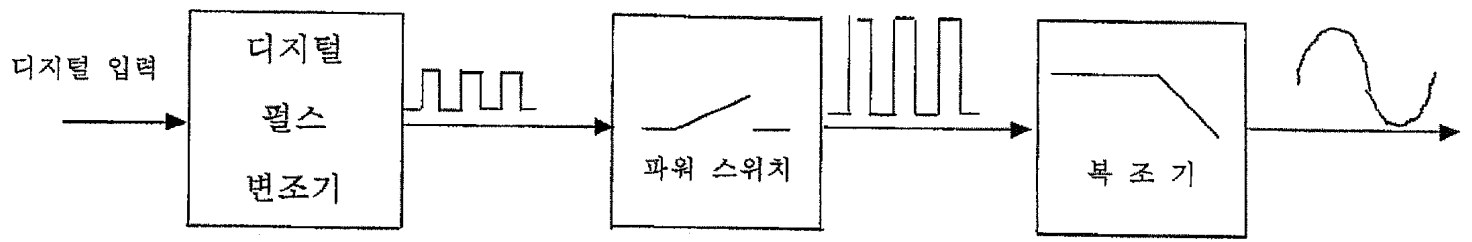
## 청구항 6.

제1항 내지 제3항에 있어서,

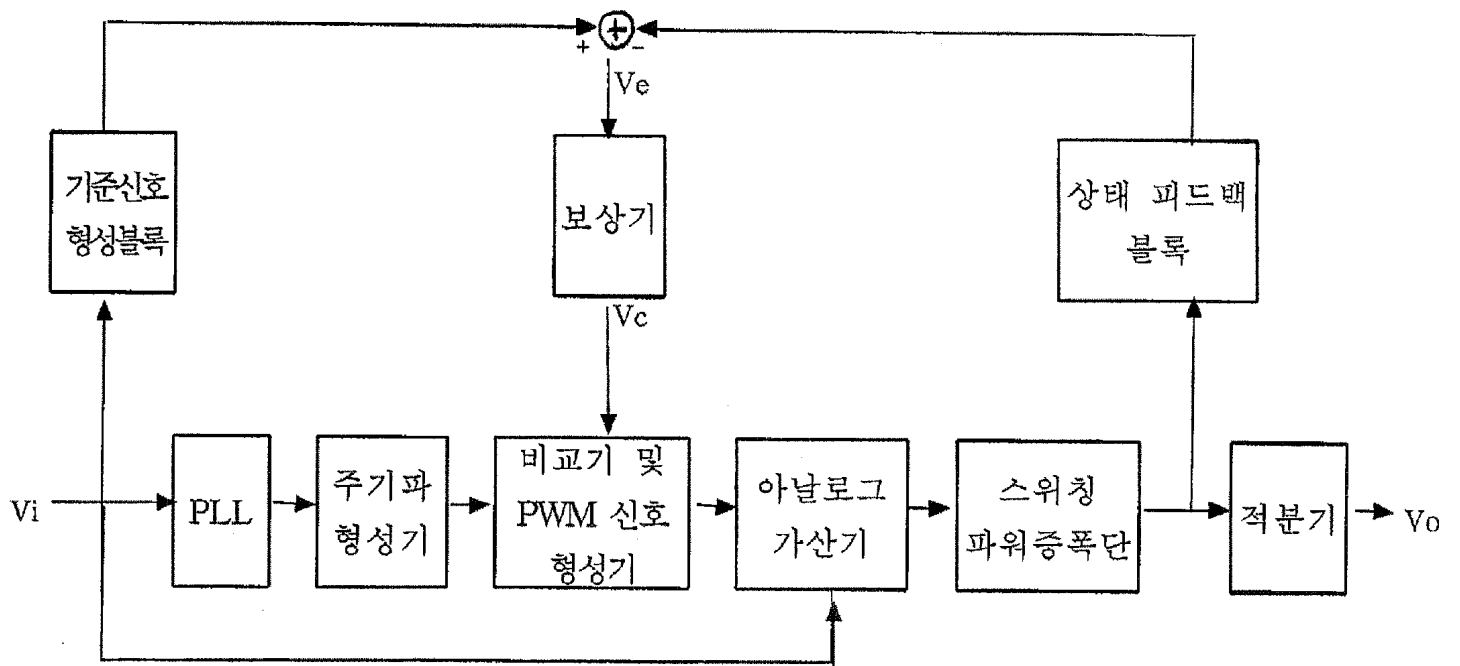
- a) 입력단과 연결된 위상고정루프(phase lock loop) 블록 및 상기 위상고정루프 블록과 연결된 주기파 형성블록;
- b) 출력단과 연결되고 보상을 갖는 상태 피드백 블록과, 상기 a)의 입력단과 연결되고 일정한 보상을 갖는 기준 신호 형성 블록, 및 상기 상태 피드백블록과 상기 기준 신호 형성 블록에 연결된 감산기 및 보상기 블록;
- c) 상기 a)의 주기파 형성 블록과 상기 b)의 보상기 블록에 연결된 비교기 및 보상 펄스변조신호 형성 블록; 및
- d) 상기 a)의 입력단과 상기 c)의 보상 펄스변조신호 형성 블록에 연결되는 아날로그 가산기를 이용하는 에러 제어 방법.

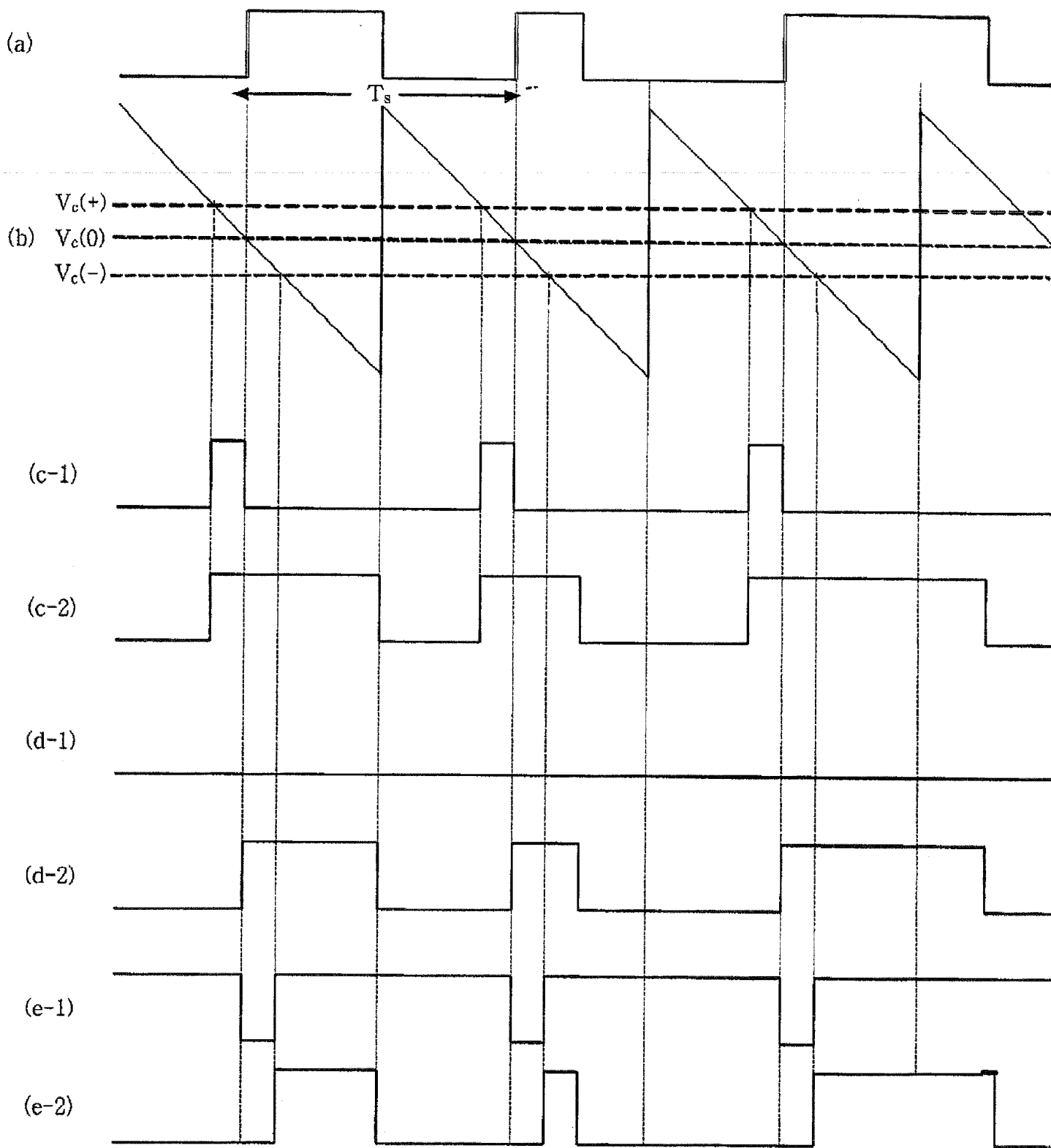
도면

11



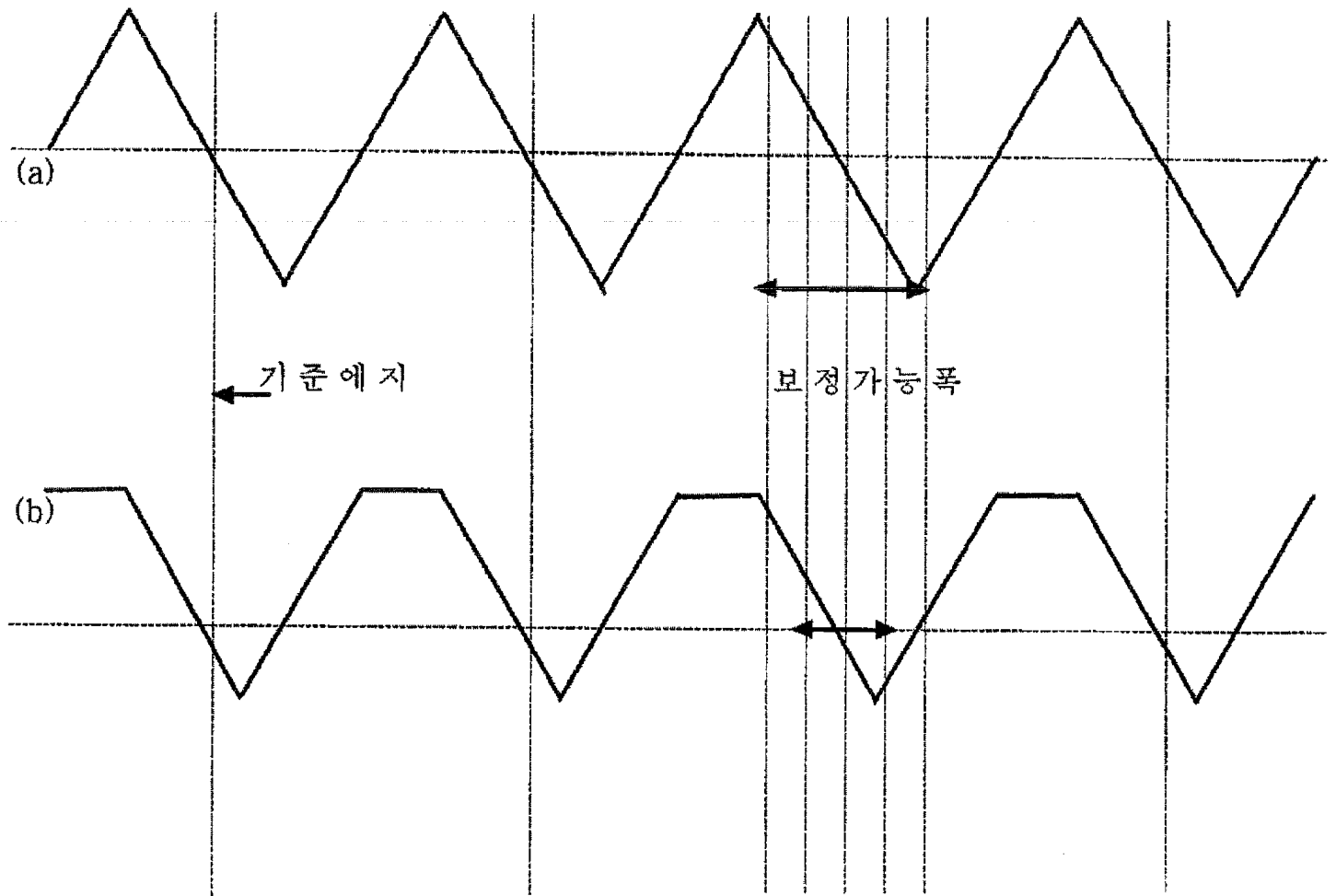
도면 2



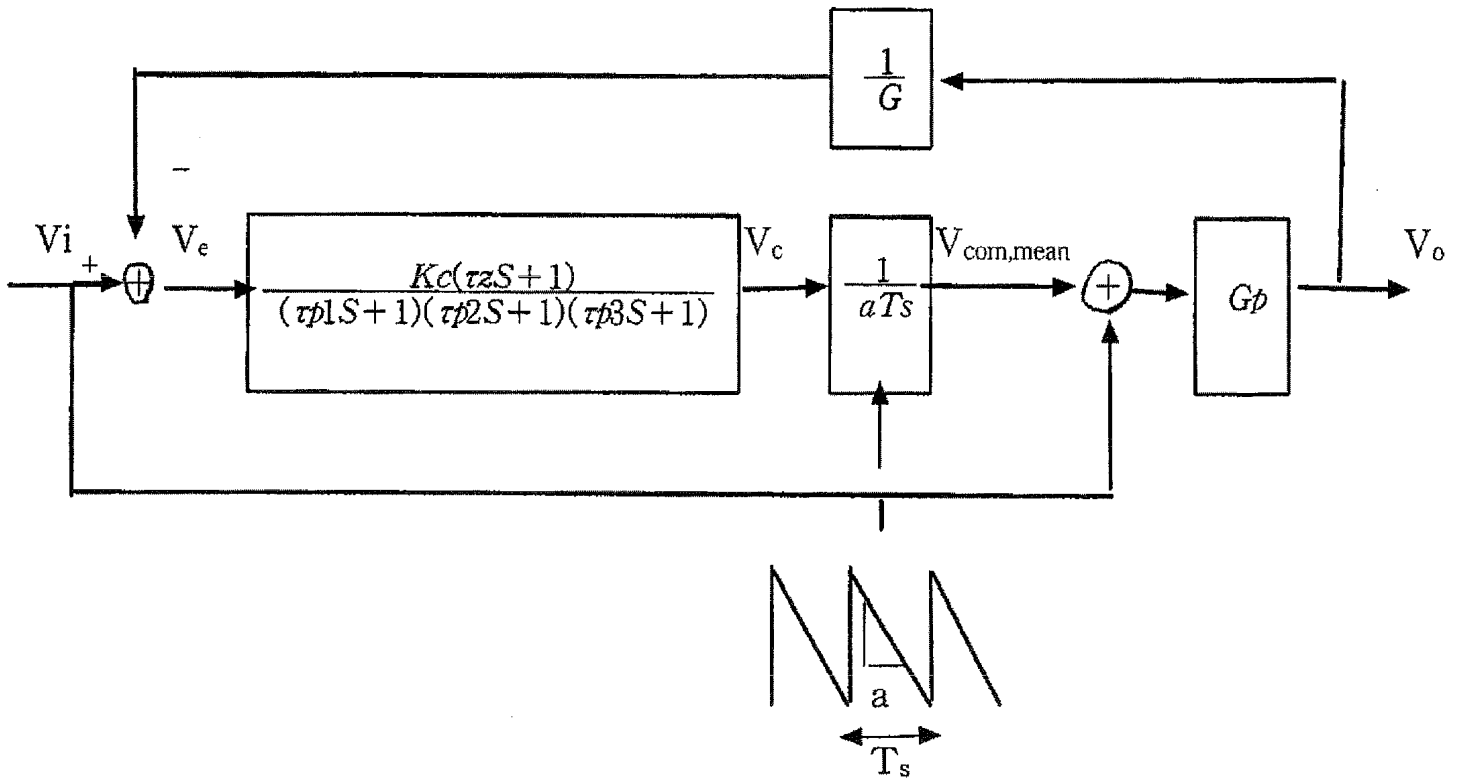




도면 4



도면 5



English Abstract of Korean Publication No. 1992-0006016

Title: D/A converter of PWM type

The present invention relates to a D/A converter of a PWM(Pulse Width Modulation) type which is used for a demodulation of, for example, PWM audio signals requiring high speed and accuracy.

공개특허특1990-0005707

**(19)대한민국특허청(KR)**  
**(12) 공개특허공보(A)**

**(51) Int. Cl. <sup>6</sup>**  
**H03M 1/66**

**(11) 공개번호** 특1990-  
**0005707**  
**(43) 공개일자** 1990년04월14일

**(21) 출원번호** 특1989-0013800  
**(22) 출원일자** 1989년09월26일

**(30) 우선권주장** 2456971988년09월29일일본(JP)  
**(71) 출원인** 니뽕 빅터 가부시끼가이샤 다까노 시즈오  
 일본국 가나가와켄 요코하마시 가나가와꾸 모리야쵸 3쵸메 12반지  
**(72) 발명자** 도요마끼 가즈야  
 일본국 가나가와켄 요코하마시 가나가와꾸 모리야쵸 3쵸메 12반지 니뽕 빅터 가부  
 시끼 가이샤 나이  
**(74) 대리인** 이병호  
 최달웅

심사청구: 있음

**(54) PWM형 D/A변환기**

요약

내용 없음.

대표도

도1

명세서

[발명의 명칭]

PWM형 D/A변환기

[도면의 간단한 설명]

제1도 내지 제3도는 본 발명에 의한 PWM형 D/A변환기의 제1실시에 내지 제3실시예를 도시하는 블록 구성도면.

본 내용은 요부공개 건이므로 전문내용을 수록하지 않았음

**(57) 청구의 범위**

**청구항1**

일정 주기마다 연속하는 디지털 입력 신호가 입력되며, 제1의 출력 신호의 L레벨에서 H레벨로의 입상의 타이밍 위치가 전기 입력 신호의 홀수째의 값에 따라서 설정되며, 전기 제1의 출력 신호의 H레벨에서 L레벨에서 L레벨로의 입하의 타이밍 위치가 전기 입력 신호의 짝수째의 값에 따라서 설정되는 제1의 PWM 변환기와, 전기 입력 신호가 입력되며, 제2의 출력 신호의 H레벨에서 L레벨로의 입하의 타이밍 위치가 전기 홀수째의 값에 따라서 설정되며, 전기 제2의 출력 신호의 L레벨에서 H레벨로의 입상의 타이밍 위치가 전기 짝수째의 값에 따라서 설정되는 제2의 PWM 변환기와, 전기 제1

의 PWM 변환기에서의 전기 제1의 출력 신호와, 전기 제2의 PWM 변환기에서의 전기 제2의 출력 신호가 입력되며, 전기 제1 및 전기 제2의 출력 신호의 합신호를 출력하는 가산기로 이뤄지며, 전기 입력신호에 대응한 아날로그 신호가 전기 가산기의 출력으로 얻어지도록 한 것을 특징으로 하는 PWM형 D/A변환기.

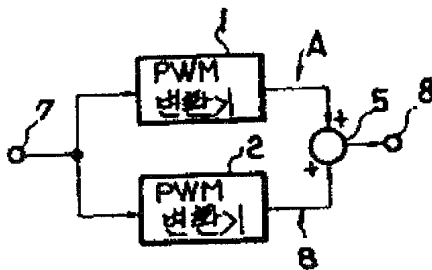
## 청구항2

일정 주기마다 연속하는 디지털 입력 신호가 입력되며, 제1의 출력 신호의 L레벨에서 H레벨로의 입상의 타이밍 위치가 전기 입력 신호의 홀수째의 값에 따라 설정되며, 전기 제1의 출력 신호의 H레벨에서 L레벨로의 입하의 타이밍 위치가 전기 입력 신호의 짝수째의 값에 따라서 설정되는 제1의 PWM 변환기와, 전기 입력 신호가 입력되며 제3의 출력 신호의 L레벨에서 H레벨로의 입하의 타이밍 위치가 전기 홀수째의 값의 역극성의 값에 따라서 설정되며, 전기 제3의 출력 신호의 H레벨에서 L레벨로의 입하의 타이밍 위치가 전기 짝수째의 값의 역극성의 값에 따라서 설정되는 제3의 PWM 변환기와, 전기 제1의 PWM변환기에서의 전기 제1의 출력 신호와, 전기 제3의 PWM 변환기에서의 전기 제3의 출력 신호가 입력되며, 전기 제1 및 전기 제3의 신호의 차신호를 출력하는 감산기로 이뤄지며, 전기 입력신호에 대응한 아날로그 신호가 전기 감산기의 출력에서 얻어지도록 한 것을 특징으로 하는 PWM형 D/A변환기.

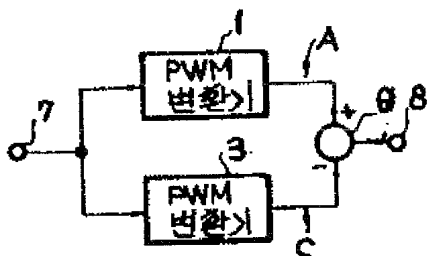
※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

도면

도면1



도면2



도면3

